

Reconfigurable RISC-V Parallel Clusters for Space Applications

The context of this work is the increasing irrelevance of Moore's Law, which observed that the number of transistors that could be put on a chip at the same price doubled every 18 to 24 months. For more to fit they had to get smaller, which let them run faster, albeit hotter, so performance rose over the years — but so did expectations. Today, those expectations remain, but processor performance has plateaued. This leads to the search of new architectures with higher energy efficient that just faster single processors. The goal is to develop architectural concepts related to scalable many core heterogeneous systems exploiting reconfigurable RISC-V processors clusters for space Applications requiring elaboration in the frequency domain. This is in line with the goal of the Spoke 1 of the CN-HPC project, i.e., to develop RISC-V based parallel accelerators with improved power efficiency and scalability exploiting specialized multi-core architectures, such as parallel heterogeneous architecture augmented with dedicated hardware accelerators for convolutional neural networks and the related software stack for Space Applications.

The main topics that will be studied in this work are:

1. Reconfigurable RISC-V processors clusters
2. Programming models and compilers for heterogeneous processor clusters
3. Optimization and benchmarking Space Applications

Cluster di Processori RISC-V Riconfigurabili per Elaborazione Per Applicazioni Spaziali

Il contesto di questo lavoro è la crescente irrilevanza della Legge di Moore, che era basata sull'osservazione empirica che il numero di transistor che potrebbero essere messi su un chip allo stesso prezzo veniva raddoppiato ogni 18-24 mesi. Ciò implica che i transistori CMOS devono essere sempre più piccoli, il che permette loro di funzionare più velocemente, anche se a temperature operative più alte. In questo modo così le prestazioni aumentarono nel corso degli anni, ma anche le aspettative. Oggi, queste aspettative rimangono, ma le prestazioni dei processori si sono stabilizzate in termini di frequenza operativa, a causa dell'intollerabile aumento della densità di potenza dissipata. Questo porta alla ricerca di architetture con una maggiore efficienza energetica piuttosto che focalizzarsi esclusivamente su processori singoli più veloci. L'obiettivo è lo sviluppo di concetti architetture legati a sistemi scalabili a bassa potenza sia nel dominio ad alte prestazioni sfruttando cluster di processori riconfigurabili per elaborazione di dati nel dominio del tempo. Questo è in linea con l'obiettivo del progetto CN-HPC ovvero sviluppare acceleratori paralleli con efficienza energetica e scalabilità migliorate sfruttando architetture eterogenee basate su ISA RISC-V.

Gli argomenti principali che saranno studiati in questo lavoro sono:

1. Cluster riconfigurabili di processori RISC-V.
2. Modelli di programmazione e compilatori per cluster eterogenei.
3. Ottimizzazione e benchmarking delle architetture sviluppate.